

文章编号 1004-924X(2009)10-2548-07

# 应用 NAND 型闪存的高速大容量图像存储器

余辉龙<sup>1,2</sup>, 何 昕<sup>1</sup>, 魏仲慧<sup>1</sup>, 王东鹤<sup>1,2</sup>

- (1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033;
2. 中国科学院 研究生院, 北京 100039)

**摘要:**针对单片闪存存储速度低,容量小,且存在无效块的问题,提出了一种高速大容量图像存储器的可靠性存储方案。通过分析闪存的组织结构和特征,并区分闪存写入无效块和非写入无效块,提出了基于 CAM 的数据分类匹配检测机制,以提高无效块信息匹配速度,并采用 SRAM 阵列冗余备份防止数据写入错误。在此基础上,提出了具有双总线结构的双流水线机制,多个流水线级出现写入无效块时,不中断流水线,保证存储器写入速度。通过搭建硬件平台进行实验测试,结果表明,该方法能够在 5 个系统时钟周期内实现无效块匹配,其持续存储速度达到 960 Mb/s,持续读取速度达到 1.152 Gb/s,擦除速度达到 27.3 Gb/s,系统存储容量为 80 GB。

**关键词:**无效块管理;内容可寻址存储器;冗余备份;双流水线;双总线结构

**中图分类号:**TP333.5 **文献标识码:**A

## High speed and high capacity image recorder based on NAND flash

YU Hui-long<sup>1,2</sup>, HE Xin<sup>1</sup>, WEI Zhong-hui<sup>1</sup>, WANG Dong-he<sup>1,2</sup>

- (1. *Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China;*
2. *Graduate University of Chinese Academy of Sciences, Beijing 100039, China*)

**Abstract:** In consideration of the low speed, small capacity and invalid block existing in a NAND flash, the reliability storage solutions of a high speed and high capacity image recorder based on NAND flash are proposed. After analyzing the structure and characteristics of NAND flash and separating written invalid block from non-written invalid blocks in the flash, the classified data matching and detection mechanism based on CAM are presented to raise the invalid block information matching speed, and a SRAM array backup is adopted to prevent data writing errors. Based on this, a dual pipelining mechanism based on a dual bus structure is proposed to prevent the interruption of writing pipelining when the invalid block is occurred in multiple pipelining grade during writing. An experiment based on a hardware platform is carried out, which indicates that the algorithm can identify the invalid blocks in 5 system clock periods and can offer the consistent storage speed of 960 Mb/s, consistent read speed of 1.152 Gb/s and the erasing speed up to 27.3 Gb/s. Moreover, the system storage capacity is up to 80 GB.

**Key words:** invalid block management; Content Addressable Memory (CAM); redundant backup; dual pipelining; dual bus structure

收稿日期:2008-10-29;修订日期:2008-12-23.

基金项目:国家 863 高技术研究发展计划资助项目(No. 2007AA12Z113)

## 1 引言

随着航天技术的发展,成像设备分辨率越来越高,导致数据量呈几何级数增加<sup>[1-2]</sup>,国内现有存储设备无法满足要求,需要开发适应空间环境的高速大容量图像存储器。闪存作为存储介质有以下特点:(1)非易失性,掉电时数据不丢失,可靠性高;(2)功耗小,不加电时可长期保持数据;(3)寿命长,标准擦写次数可达  $1 \times 10^5$  次;(4)密度大、成本低,存储单元由一个晶体管构成,具有很高的容量密度,且价格也在不断降低;(5)适应空间恶劣环境,抗震动、抗冲击、温度适应范围宽<sup>[3-7]</sup>。以闪存为存储介质的存储器在各个领域均得到了广泛的应用,目前主流闪存分为 NOR 和 NAND 两种架构类型,NAND 型闪存写入和擦除速度比 NOR 型快,单元存储容量大,且成本比 NOR 型低,因此 NAND 型闪存在大容量高速图像数据存储上比 NOR 型更具有优势<sup>[6-10]</sup>。

## 2 NAND 型闪存的特点

NAND 型闪存由块、页和字节组成,其命令、数据和状态均通过 8 bit 总线分时复用完成,基本操作有写入、擦除和读取,其中擦除是块操作,写入和读取是页操作。闪存写入和擦除操作需要较长的周期。以三星 NAND 闪存 K9WAG08U1A 为例<sup>[11]</sup>,参数如表 1 所示,每片闪存共有 16 384 块,每块有 64 页,每页有 2 048 B 写入区和 64 B 备用区,其典型编程周期为 200  $\mu\text{s}$ ,典型擦除周期为 1.5 ms,有效期内无效块  $\leq 320$  个,命令和地址加载需要 7 个时钟周期。

表 1 闪存特性

Tab. 1 Characteristics of NANDflash

	参数
页	(2 048+64) B
块	64 页=(128+4) kB
芯片	16 384 块=2 GB+64 MB
最小页串行写入周期	25 ns
典型编程时间	200 $\mu\text{s}$
典型擦除时间	1.5 ms
无效块数量	0~320 块
命令和地址加载	175 ns
页数据加载	51.2 $\mu\text{s}$

显然单片闪存存储速度慢容量小,无法满足高帧频高分辨率图像的实时存储要求,并行总线和流水线<sup>[12-14]</sup>是解决存储速度和容量常用的方法。在航天应用存储器中,不仅要考虑系统的速度和容量,还要考虑数据存储的可靠性。NAND 型闪存工艺不能保证闪存生命周期的可靠性,当写入或擦除某块时,不能将其中某些位拉高,造成页写入或块擦除错误,则该块为无效块,NAND 型闪存无效块在生产及使用过程中均可能出现,具有随机可增长性<sup>[15]</sup>,因此闪存操作过程中需检测和管理无效块,要在快速高效管理无效块的同时,尽可能保证存储器的容量和速度,从而解决高速大容量图像存储器的可靠性问题。闪存无效块管理方案均是在闪存备用区对无效块信息标记<sup>[14,16]</sup>,实现无效块管理,这样获取无效块信息需通过闪存读取,显然占用大量时间,不利于高速存储。

本文应用并行总线和流水线提高系统的存储容量和速度,在此基础上,提出了基于 CAM<sup>[17]</sup>的无效块信息快速匹配检测机制,并采用 SRAM 阵列实现数据备份,为了解决在多个流水线级出现无效块时图像数据的高速存储,提出了基于双总线结构的双流水线机制,通过这些创新性系统架构来解决存在无效块时闪存图像存储器的高速可靠存储问题。

## 3 存储器关键技术研究

### 3.1 闪存无效块分类匹配机制

数据分类匹配检索机制如图 1 所示,取数据 a 进行一级匹配,通过匹配结果域判决,确定 a 是否在二级检索数据域中,若在,则执行二级检索,否则直接取下一个数据 a,继续数据匹配。实现了数据的分类匹配检索。

CAM 是一种内容可寻址存储器,当向 CAM 中输入需要匹配的内容时,若存储器里有该内容,将及时输出匹配有效信号,给出该内容的存储地址,显然,CAM 匹配速度快,可作为一级匹配单元。

闪存在写入过程中遇到无效块时,只替换写入发生错误的页,而不是整块替换,因此需保留该无效块中正确写入的数据(详见本文 3.2 节),将闪存写入过程中遇到的无效块定义为写入无效

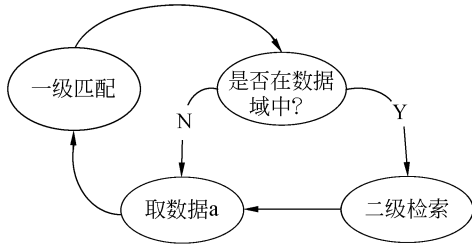
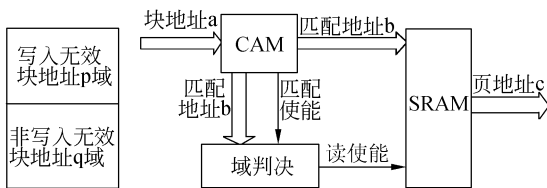


图 1 数据分类匹配检索机制

Fig. 1 Classified detection and matching mechanism

块,其它无效块定义为非写入无效块。显然非写入无效块在操作过程中可直接旁路,而写入无效块在读取过程中需要读取该块中正确写入的数据,不能直接旁路,由此须对写入无效块和非写入无效块分类,通过对 CAM 和 SRAM 的地址分类实现二级检索。

闪存无效块分类匹配检测机制如图 2(b)所示,闪存擦除操作前输入块地址信息  $a$ ,检测匹配该块是否为无效块,并将未正确擦除的无效块信息写入到 CAM 非写入无效块  $q$  域中;闪存写入操作时,写入数据,然后检测判断,将未正确写入的块信息存储到 CAM 的写入无效块  $p$  域中,将未正确写入的该块结束页信息写入到与 CAM 对应地址的 SRAM 中;闪存读取操作时,每一块读取前检测无效块,将块地址信息  $a$  与 CAM 检测匹配,若匹配成功,利用地址域判别器判断匹配地址在  $p$  域还是在  $q$  域中(如图 2(a)),若在  $p$  域中,将 CAM 的匹配地址  $b$  作为匹配 SRAM 的读取地址,输出数据  $c$ ,即该写入无效块结束页地址;若在  $q$  域中,则该块为非写入无效块,未写入数据,旁路该块,继续读取下一个正确写入数据的块。通过对写入无效块和非写入无效块信息的分类实现了对闪存无效块的匹配检测。



(a)地址域 (b)匹配机制

(a)Address domain (b)Matching mechanism

图 2 基于 CAM 的分类匹配检测机制

Fig. 2 Classified detection and matching mechanism based on CAM

### 3.2 数据备份

由于闪存存在无效块,遇到写入无效块时,图像数据存储错误,因此在写入闪存数据时对图像数据备份,采用 SRAM 阵列对数据进行备份,每一个闪存流水线级采用相对应的 SRAM,形成与闪存阵列相同的 SRAM 阵列,在图像数据写入闪存的同时,将数据写入 SRAM,覆盖 SRAM 中原有数据,若遇到无效块,将 SRAM 中备份数据回写到闪存中,如图 3 所示。

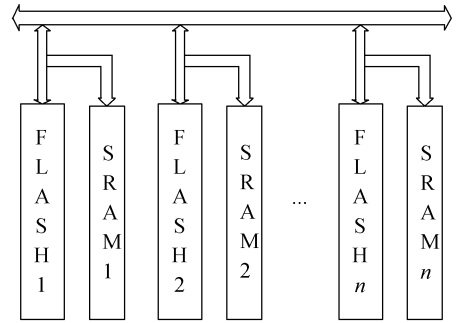


图 3 SRAM 阵列数据备份

Fig. 3 SRAM array data backup

闪存写入过程中遇到无效块时,将该块中前  $n-1$  页正确写入的数据替换不利于高速存储,而只将写入错误的第  $n$  页替换从备份的 SRAM 中重新写入,如图 4 所示,数据备份写入方案有两

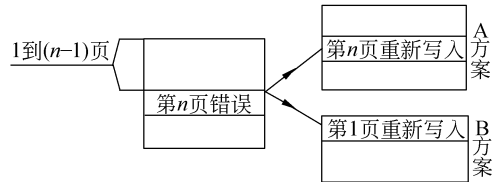


图 4 数据备份写入方案

Fig. 4 Data backup plan

种,一种是 A 方案,通过相应 SRAM 在闪存下一个有效块中的第  $n$  页中重新写入该页数据,可保证页地址的连续性。另一种是 B 方案,通过相应 SRAM 在下一个有效块的第 1 页中重新写入该页数据。设非写入无效块数量为  $x$ ,写入无效块数量为  $y$ ,降频为  $m$ ,闪存块容量为  $p$ ,方案 A 平均减少存储容量为  $C_1$ ,方案 B 平均减少存储容量为  $C_2$ 。其中:

$$C_1 = (x+y) pm, \tag{1}$$

$$C_2 = (x+y/2) pm. \tag{2}$$

方案 B 比方案 A 平均存储容量多  $y p m / 2$

kB,使存储器容量达到最大化,故数据备份写入采用方案 B。

### 3.3 基于双总线体系结构的双流水线机制

写入闪存数据错误时,将 SRAM 中数据备份到闪存中,总线被占用,流水线中断,因此采用双总线多路选择存储结构,如图 5 所示,总线 A 为主总线,B 为副总线,主总线 A 完成数据写入操作,副总线 B 检测不在写入状态时其他闪存流水线级的状态,并对即将写入闪存的流水线级实现命令加载,若遇到写入无效块,数据未正确写入闪存,将 SRAM 中备份数据通过总线 B 重新写入到闪存中,未占用总线 A,流水线未中断,图像数据继续从主总线 A 写入,因此采用双总线结构较好的解决了存在无效块闪存写入速度问题。

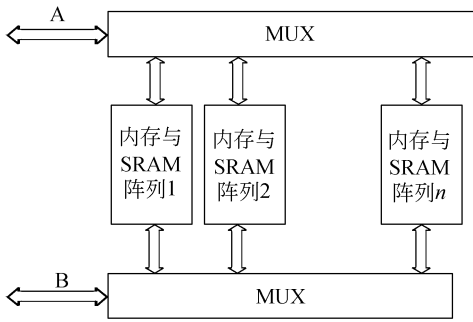


图 5 双总线结构

Fig. 5 Dual bus structure

采用双总线结构后,在同一个循环流水线中,多级出现无效块,副总线 B 也采用流水线机制,当系统流水线级数足够多时,显然不会中断流水线,如图 6 所示,其中主流线 A 实现外部图像数据写入,副流水线 B 实现备份数据写入,图像带阴影部分表示出现写入无效块的级,若这些无效块级重新写入时未发生错误,则写入速度不发生改变。图 6 双阴影线第 1 级表示,第 1 级为无效块,重新写入时,第 1 级流水线再次出现写入无效块,存储在 SRAM 中的数据需再次备份写入,此时由于主流线 A 循环到该流水线级,流水线中断,系统存储速度降低。

闪存写入操作时,闪存可擦写  $1 \times 10^5$  次<sup>[11]</sup>,共 16 384 块,其无效块最多为 320 块,在空间环境中出现辐射时<sup>[15]</sup>,新增长写入无效块的概率  $p_{e_1} < 10^{-4}$ ,因此出现连续两次写入错误的概率为  $p_{e_2} = p_{e_1}^2 < 10^{-8}$ ,  $p_{e_3} = p_{e_1}^3 < 10^{12}$ ,可能性非常小,因此几乎不会出现连续三次写入错误的情况,即使发生了,由于无效块出现次数少,只在出现无效块时影响影响存储速度,在图像数据输入缓冲端,配以大小合适的缓存即可,其持续存储速度不会受到较大影响。

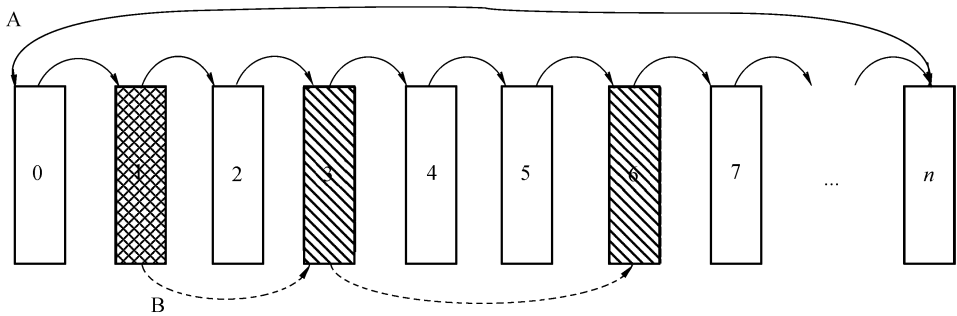


图 6 双通道双流水线机制

Fig. 6 Dual pipelining on dual bus

## 4 系统方案

本实验系统采用 10 级流水线,并行总线芯片数为 4,闪存选择三星公司 NAND 闪存 K9WAG08U1A,单片存储容量为 2 GB,则系统

容量  $C=80$  GB。系统如图 7 所示,控制逻辑部分控制所有模块;CAM 存储分类无效块信息,实现无效块信息的匹配;匹配 SRAM 存储写入无效块的结束页信息;FRAM(铁电存储器)备份 CAM 及匹配 SRAM 中数据;闪存与备份 SRAM 模块实现数据备份与数据存储;串口发送系统命令;

FIFO 缓存图像数据,实现并行总线。

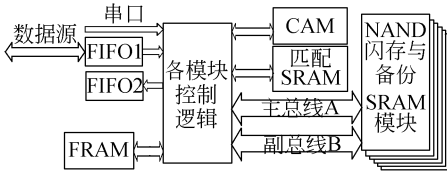


图 7 实验系统结构

Fig. 7 Structure of experiment system

## 5 实验结果与分析

### 5.1 无效块实验结果

闪存无效块信息数据结构如表 2 所示,采用 20 bit 的数据结构,闪存块地址信息共有 14 bit,标识十级流水线需 4 bit,为防止第 0 级流水线第 1 块信息误匹配,将所有无效块信息最高位标记为 1,一共 19 bit 信息,剩余 1 位保留,以便扩展。

表 2 闪存无效块信息数据结构

Tab. 2 Invalid block information structure of Flash

位	19	18	14~17	0~13
信息	标识	保留	级地址	块地址

将 CAM 的初始值设置为:01h;80040h;76h;80080h,其它地址的内容均为 00000h,其中片内 SRAM 的内容设为 76h;25h。即第 0 级流水线地址为 40h 和 80 的块为连续无效块,其中 40h 为非写入无效块,80h 为写入无效块,其结束页地址信息为 25h。实验证明读取闪存数据时,读取地址从 003Fh 直接跳转到 0080h,然后读取地址递增到 00A4h,接着读取地址跳转到 00C0h,由于块地址 0080h 加上结束页地址为 25h,因此地址为 0080h 的块,其页地址最大到 00A4h,实验证明该算法能够实现连续无效块匹配检测。具体参数如下:CAM 检索时间  $t_1=4 \text{ clk}=28 \text{ ns}$ ,二次检索时间  $t_2=8 \text{ clk}=56 \text{ ns}$ ,无效块信息存储时间  $t_3=3 \text{ clk}=21 \text{ ns}$ 。

### 5.2 图像存储器速度及容量分析

令闪存芯片一页的数据量为  $a$ ,并行操作的芯片数为  $b$ ,流水的总级数为  $c$ ,命令和地址加载时间为  $d$ ,一页数据加载时间为  $e$ ,芯片页自动编程时间为  $f$ ,检测时间为  $g$ 。本系统中  $b=4, c=$

10,其最短检测时间  $g$  为 50 ns,其余参数值见表 1。

单片闪存存储时,闪存需经过命令和地址加载,数据加载,自动编程和检测后,才能进行下一页数据的存储,其典型理论存储速度  $H_1$  为

$$H_1 = \frac{a}{d+e+f+g} \approx 64 \text{ Mb/s}. \quad (3)$$

仅采用并行总线典型理论存储速度  $H_2$  为

$$H_2 = bH_1 \approx 256 \text{ Mb/s}. \quad (4)$$

采用并行总线和流水线,且不存在无效块时,由于采用流水线,数据加载时间大于自动编程时间,因此,采用流水线后其典型理论存储速度  $H_3$  为

$$H_3 = \frac{abc}{dc+ec+gc} \approx 1.245 \text{ Gb/s}. \quad (5)$$

采用并行总线双流水线及双总线结构后,命令和地址加载及数据检测将由副总线 B 来完成,其系统理论存储速度为  $H_4$  为

$$H_4 = \frac{abc}{ec} = 1.25 \text{ Gb/s}. \quad (6)$$

闪存出现无效块时,流水线多级同时出现无效块时,显然  $e(c-2) > 2f$ ,不中断写入流水线,理论写入速度  $H_5$  为

$$H_5 = H_4 = 1.25 \text{ Gb/s}. \quad (7)$$

闪存出现无效块时,重新写入的流水线级再次为写入无效块,存储在 SRAM 中的数据需再次备份写入,流水线中断,其典型理论存储速度  $H_6$  为

$$H_6 \approx \frac{abc}{ec+f+g} = 898 \text{ Mb/s}. \quad (8)$$

在实验系统中,对系统实际存储速度进行了测试,对像素时钟为 144 MHz,帧频为 120 frame/s,分辨率为  $1024 \times 1024$  的 8 bit 图像记录时,数据存储完成正确,系统持续存储速度  $H_7$  达到 960 Mb/s,系统读取和擦除也采用双流水线机制,持续读取速度达到 1.152 Gb/s,持续擦除速度为 27.3 Gb/s,系统存储容量为 80 GB,图 8 为系统的存储方式速度对比图,本系统与未采用流水线和并行总线参数对比如表 3 所示。对于更高容量的存储需求,可以将串接多个存储器,当一个存储器写满时再存储下一个存储器,以提高存储容量,对于遥感图像中更长时间存储需求,将通过遥感压缩予以解决,实验室在压缩领域进行了一些探索<sup>[1,18]</sup>。对于更高速度的存储需求,可并

接多个存储器,将图像数据降频分成多路同时存储到存储器中,达到更高存储速度。目前由美国 CALCULEX 研究的 MONSSTR6000 系列闪存大容量存储器,其最大存储速度为 1 Gb/s,通过增加可扩展模块,最大存储容量可达到 274 GB。本实验系统在采用闪存无效块管理和数据备份可靠性方案后,采用双流水线机制,使系统的存储速度达到 960 Mb/s,同时系统具有可扩展行,在存储容量上可进一步扩展。

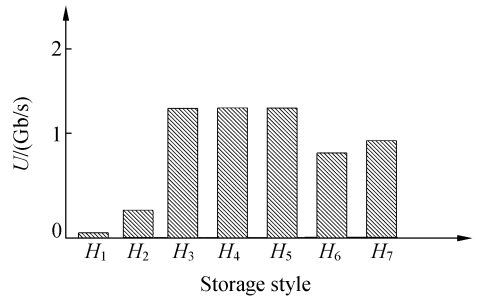


图 8 存储方式速度对比

Fig. 8 Speed comparison of different storage styles

表 3 存储器参数对比

Tab. 3 Parameter comparison of recorder

	持续写入速度	持续读取速度	持续擦除速度	存储容量
单片闪存	64 Mb/s	224 Mb/s	682 Mb/s	2 GB
仅采用并行总线	256 Mb/s	896 Mb/s	2.7 Gb/s	8 GB
采用可靠性方案后	960 Mbp/s	1.152 Gbp/s	27.3 Gbp/s	80 GB

## 6 结 论

本文通过分析闪存的组织结构和特征,分析闪存写入无效块和非写入无效块,采用并行总线和双流水线提高闪存的存储速度和存储容量,闪存存储器在读取和擦除操作时,同样采用并行总线和双流水线机制提高系统读取速度和擦除速度。

提出了基于 CAM 的数据分类匹配机制,提高无效块信息匹配速度,实验证明,该方法能够在 5 个系统时钟周期内实现无效块匹配,并能够实

现连续无效块的匹配检测,实现了无效块的高效管理。

提出了基于双总线结构的 SRAM 阵列冗余备份和双流水线机制,采用 SRAM 阵列备份数据,保证写入闪存数据的正确性,采用双流水线机制,当多个流水线级出现写入无效块时,不中断流水线,保证存储器写入速度。解决了闪存存在无效块时,系统的高速可靠存储问题,提高了系统的可靠性。

下一步的工作是在硬件平台基础上,针对双总线体系结构,研究适合空间环境的实时纠错编译码,能够纠正随机错误和突发错误。

## 参考文献:

[1] 隋玉萍,何昕,魏仲慧. ROI 的海洋监视卫星遥感图像压缩算法[J]. 光学精密工程,2008,16(7):1323-1329.  
SUI Y P, HE X, WEI ZH H. A compression algorithm of remote sensing image based on ROI for ocean surveillance satellite[J]. *Opt. Precision Eng.*, 2008,16(7):1323-1329. (in Chinese)

[2] 田宝凤,徐抒岩,孙荣春,等. 一种适合星上应用的遥感图像有损压缩算法[J]. 光学精密工程, 2006, 14(4):725-730.

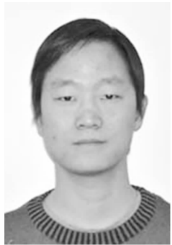
TIAN B F, XU SH Y, SUN R CH, *et al.* A lossy compression algorithm of remote sensing image suited to space-borne application[J]. *Opt. Precision Eng.*, 2006,14(4):725-730. (in Chinese)

[3] 王晓东,郝志航. 大容量固态记录器技术[J]. 光学精密工程,2001,9(4):396-400.  
WANG X D, HAO ZH H. Mass solid state recorder technology[J]. *Opt. Precision Eng.*, 2001,9(4): 396-400. (in Chinese)

[4] ATWOOD G, FAZIO A, MILLS D, *et al.* Intel StrataFlash™ memory technology overview[J]. *Intel Technology Journal*, 1997,1(2):1-8.

- [5] TSUR O. Rugged, reliable, and secured data storage solutions for airborne ISR[J]. *SPIE*, 2004, 5409:66-73.
- [6] TSUR O. Enabling data security with COTS solid-state flash disks[C]. *Non-Volatile Memory Technology Symposium*, 2004:131-134.
- [7] WETT T, LEVY S. Flash-the memory technology of the future that's here today[C]. *Proceedings of the IEEE 1995 National Aerospace and Electronics Conference*, 1995:359-364.
- [8] BEZ R, CAMBERLENGHI E, MODELLI A, et al.. Introduction to flash memory [C]. *Proceedings of the IEEE*, 2003, 91(4):489-502.
- [9] FISHELL W G. Solid state memory in recce system [C]. *SPIE*, 1995, 2555:183-194.
- [10] VIHMALD J P, LIPPONEN V. Memory technology in mobile devices—status and trends [J]. *Solid-State Electronics*, 2005, 49(11):1714-1721.
- [11] Samsung Electronics. 1G x 8 Bit / 2G x 8 Bit / 4G x 8 Bit NAND Flash Memory (Revision1.1)[R]. 2006.
- [12] KANG J U, KIM J S, PARK C, et al.. A multi-channel architecture for high-performance NAND flash-based storage system [J]. *Journal of Systems Architecture*, 2007, 53(9):644-658.
- [13] SYU S J, CHEN J. An active space recycling mechanism for flash storage systems in real-time application environment [C]. *Proceedings of 11th IEEE International Conference on Embedded and Real-Time Computing Systems and Applications*, 2005:53-59.
- [14] 高怡祯. 基于闪存的星载大容量存储器的研究和实现[J]. *电子技术应用*, 2003, 29(8):45-48.  
GAO Y ZH. Research and implementation of spaceborne high capacity recorder based on flash [J]. *Application of Electronic Technique*, 2003, 29(8):45-48. (in Chinese)
- [15] NGUYEN D N, GUERTIN S M, SWIFT G M, et al.. Radiation effects on advanced flash memories [J]. *IEEE Transactions on, Nuclear Science*, 1999, 46(6):1744-1750.
- [16] GAL E, TOLEDO S. Mapping Structures for Flash Memories: Techniques and Open Problems [C]. *Proceedings of the IEEE International Conference on Software - Science, Technology & Engineering (SwSTE'05)*, 2005:83-92.
- [17] JONES S. Design, selection and implementation of a content-addressable memory for a VLSI CMOS chip architecture [C]. *Computers and Digital Techniques, IEE Proceedings*, 1988, 135(3):165-172.
- [18] SUI Y P, YANG CH Y, LIU Y J, et al.. Remote sensing image compression algorithm based on wavelet sub-bands entropy [J]. *Opto-Electronic Engineering*, 2008, 35(2):61-65.

#### 作者简介:



余辉龙(1982—),男,湖北荆门人,中科院长春光学精密机械与物理研究所博士研究生,2005年于吉林大学获学士学位,主要从事数字图像存储和实时纠错编码等方面的研究。E-mail:lovystory@gmail.com



魏仲慧(1961—),女,吉林长春人,研究员,博士生导师,1983年于吉林大学获学士学位,主要从事数字图像存储和光电测量设备等方面的研究。E-mail:wzhlpv@sohu.com

#### 导师简介:



何昕(1966—),男,吉林长春人,研究员,博士生导师,1988年于哈尔滨工业大学获学士学位,1991年于中科院长春光学精密机械与物理研究所获硕士学位,主要从事数字图像处理和光电测量设备等方面的研究。E-mail:hexin6627@sohu.com



王东鹤(1983—),男,河南开封人,中科院长春光学精密机械与物理研究所博士研究生,2005年于吉林大学获学士学位,主要从事目标检测和目标识别方面的研究。E-mail:wangdh217@163.com